
设计高速电路板的注意事项

转自《电子工程专辑》

- [叠层数问题](#)
- [特性阻抗](#)
- [延迟](#)
- [EMC](#)

我最近针对一篇关于 PCB 特性阻抗的文章写了封信。该文阐述了工艺过程的变化是怎样引起实际阻抗发生变化的，以及怎样用精确的现场解决工具(field solver)来预见这种现象。我在信中指出,即使没有工艺的变化，其它因素也会引起实际阻抗很大的不同。在设计高速电路板时，自动化设计工具有时不能发现这种不很明显但却非常重要的问题。然而，只要在设计的早期步骤当中采取一些措施就可以避免这种问题。我把这种技术称做“防卫设计”(defensive design)。

叠层数问题

一个好的叠层结构是对大多数信号整体性问题和 EMC 问题的最好防范措施，同时也最易被人们误解。这里有几种因素在起作用，能解决一个问题的好方法可能会导致其它问题的恶化。很多系统设计供应商会建议电路板中至少应该有一个连续平面以控制特性阻抗和信号质量，只要成本能承受得起，这是个很好的建议。EMC 咨询专家时常建议在外层上放置地线填充(ground fill)或地线层来控制电磁辐射和对电磁干扰的灵敏度，在一定条件下这也是一种好建议。

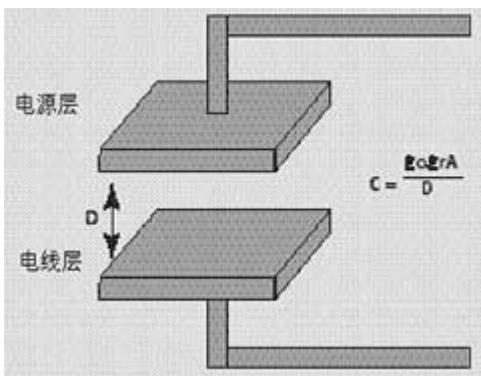


图 1：用电容模型分析叠层结构中的信号问题

然而,由于瞬态电流的原因,在某些普通设计中采用这种方法可能会遇到麻烦。首先,我们来看一对电源层/地线层这种情况:它可看作为一个电容(图1)。可以认为电源层和地线层是电容的两个极板。要想得到较大的电容值,就需将两个极板靠得更近(距离 D),并增大介电常数(ϵ_r)。电容越大则阻抗越低,这是我们所希望的,因为这样可以抑制噪声。不管其它层怎样安排,主电源层和地线层应相邻,并处于叠层的中部。如果电源层和地线层间距较大,就会造成很大的电流环并带来很大的噪声。如果对一个 8 层板,将电源层放在一侧而将地线层放在另一侧,将会导致如下问题:

1. 最大的串扰。由于交互电容增大,各信号层之间的串扰比各层本身的串扰还大。
2. 最大的环流。电流围绕各电源层流动且与信号并行,大量电流进入主电源层并通过地线层返回。EMC 特性会由于环流的增大而恶化。
3. 失去对阻抗的控制。信号离控制层越远,由于周围有其它导体,因此阻抗控制的精度就越低。
4. 由于容易造成焊锡短路,可能会增加产品的成本。

我们必须在性能和成本之间进行折衷选择,为此,我在这里对怎样安排数字电路板以获得最好的 SI 和 EMC 特性,谈谈自己的见解。

PCB 的各层分布一般是对称的。依笔者拙见,不应将多于两个的信号层相邻放置;否则,很大程度上将失去对 SI 的控制。最好将内部信号层成对地对称放置。除非有些信号需要连线到 SMT 器件,我们应尽量减少外层的信号布线。

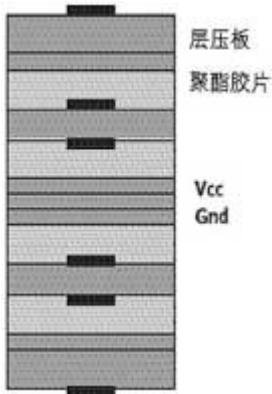


图 2: 优秀设计方案的第一步是正确设计叠层结构

对层数较多的电路板,我们可将这种放置方法重复很多次(图 2)。也可以增加额外的电源层和地线层;只要保证在两个电源层之间没有成对的信号层即可。

高速信号的布线应安排在同一对信号层内;除非遇到因 SMT 器件的连接而不得不违反这一原则。一种信号的所有走线都应有共同的返回路径(即地线层)。

有两种思路和方法来判断什么样的两个层能看成一对:

1. 保证在相等距离的位置返回信号完全相等。这就是说,应将信号对称地布线在内部地线层的两侧。这样做的优点是容易控制阻抗和环流;缺点是地线层上有很多过孔,而且有一些无用的层。
2. 相邻布线的两个信号层。优点是地线层中的过孔可控制到最少(用埋式过孔);缺点是对某些关键信号这种方法的有效性下降。

我喜欢采用第二种方法。元件驱动和接收信号的接地连接最好能够直接连接到与信号布线层相邻的层面。作为一个简单的布线原则，表层布线宽度按英寸计应小于按毫微妙计的驱动器上升时间的三分之一(例如：高速 TTL 的布线宽度为 1 英寸)。

如果是多电源供电，在各个电源金属线之间必须铺设地线层使它们隔开。不能形成电容,以免导致电源之间的 AC 耦合。

上述措施都是为了减少环流和串扰，并增强阻抗控制能力。地线层还会形成一个有效的 EMC “屏蔽盒”。在考虑对特性阻抗的影响的前提下，不用的表层区域都可以做成地线层。

特性阻抗

一种好的叠层结构就能够作到对阻抗的有效控制，其走线可形成易懂和可预测的传输线结构。现场解决工具能很好地处理这类问题，只要将变量数目控制到最少，就可以得到相当精确的结果。

但是，当三个以上的信号层叠在一起时，情况就不一定是这样了，其理由很微妙。目标阻抗值取决于器件的工艺技术。高速 CMOS 技术一般能达到约 70 Ω ；高速 TTL 器件一般能达到约 80 Ω 至 100 Ω 。因为阻抗值通常对噪声容限和信号切换有很大的影响，所以进行阻抗选择时需要非常仔细；产品说明书对此应当给出指导。

现场解决工具的初始结果可能会遇到两种问题。首先是视野受到限制的问题，现场解决工具只对附近走线的影响做分析，而不考虑影响阻抗的其它层上的非平行走线。现场解决工具在布线前，即分配走线宽度时无法知道细节，但上述成对安排的方法可使这个问题变得最小。

值得一提的是不完全电源层(partial power planes)的影响。外层电路板上在布线后经常挤满了接地铜线,这样就有利于抑制 EMI 和平衡涂敷(balance plating)。如果只对外层采取这样的措施,则本文所推荐的叠层结构对特性阻抗的影响非常微小。

大量采用相邻信号层的效果是非常显著的。某些现场解决工具不能发现铜箔的存在,因为它只能检查印制线和整个层面,所以对阻抗的分析结果是不正确的。当邻近的层上有金属时,它就象一个不太可靠的地线层一样。如果阻抗过低,瞬时电流就会很大,这是一个实际而且敏感的 EMI 问题。

导致阻抗分析工具失败的另一个原因是分布式电容。这些分析工具一般不能反映引脚和过孔的影响(这种影响通常用仿真器来进行分析)。这种影响可能会很大,特别是在背板上。其原因非常简单:

特性阻抗通常可用下述公式计算:

$$L/C$$

其中,L 和 C 分别是单位长度的电感和电容。

如果引脚是均匀排布的,附加的电容将大大影响这个计算结果。公式将变成:

$$L/(C+C')$$

C'是单位长度的引脚电容。

如果象在背板上那样连接器之间用直线相连,就可用总线路电容以及除了第一个和最后一个引脚之外的总引脚电容。这样,有效阻抗就会降低,甚至可能从 80 降到 8。为了求得有效值,需将原阻抗值除以:

$$(1+C'/C)$$

这种计算对于元件选择是很重要的。

延迟

模拟时，应该考虑元件和封装的电容(有时还应包括电感)。要注意两个问题。首先,仿真器可能不能正确模拟分布式电容；其次，还要注意不同生产情况对不完全层面和非平行走线的影响。许多现场解决工具都不能分析没有全电源或地线层的叠层分布。然而，如果与信号层相邻的是一个地线层，那么计算出的延迟会相当糟糕，比如电容，会有最大的延迟；如果一个双面板的两层都布有许多地线和 VCC 铜箔，这种情况就更严重。如果过程不是自动化的话，在一个 CAD 系统中设置这些东西将会是很繁乱的。

EMC

EMC 的影响因素很多，其中许多因素通常都没能得到分析，即使得到分析，也往往是在设计完成以后，这就太迟了。下面是一些影响 EMC 的因素：

1. 电源层的槽缝会构成了四分之一波长的天线。对于金属容器上需开安装槽的场合，应采用钻孔方法来代替。
2. 感性元件。我曾碰到过一位设计人员，他遵循了所有的设计规则，也作了仿真，但他的电路板仍然有很多辐射信号。原因是：在顶层有两个电感相互平行放置，构成了变压器。
3. 由于不完全接地层的影响,内层低阻抗引起外层较大的瞬态电流。

采用防卫设计可以避免这些问题中的大多数。首先应该作出正确的叠层结构和布线方略，这样就有了好的开始。

这里没有涉及某些基本问题，比如网络拓扑、信号失真原因和串扰计算方法；只是分析了一些敏感的问题，以帮助读者应用从 EDA 系统得到的结果。任何分析都要依赖于所采用的模型，分析不到的因素也会对结果产生影响。过于复

杂就象太不精确一样，避免过多参量的变化，如印制线宽度等，有助于整齐、一致的设计。

如欲了解更多信息，请联系

E-mail: sales@hirelpcb.com